

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-111415

(43)Date of publication of application : 12.04.2002

(51)Int.Cl. H03F 3/68  
H01L 27/04  
H01L 21/822  
H03F 3/213  
H03F 3/24  
H04B 1/03  
H04B 1/04

(21)Application number : 2000-299153

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.09.2000

(72)Inventor : SUZUKI SHOJI

AKAMINE HITOSHI

ADACHI TETSUAKI

SATO TAKAHIRO

MARUYAMA MASASHI

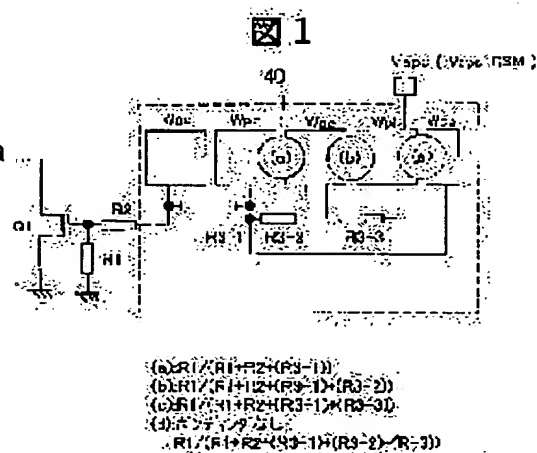
TAKADA SUSUMU

## (54) HIGH FREQUENCY POWER AMPLIFIER AND RADIO

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of parts and adjust a bias resistance ratio in accordance with a variation of a threshold voltage  $V_{th}$  of a transistor.

SOLUTION: A high frequency power amplifier having a plurality of amplification system wherein each amplification system has a input terminal to which a signal amplified is supplied, an output terminal, a bias terminal, a plurality of amplification stages sequentially connected between above input terminal and above output terminal, and a bias circuit which is connected to the bias terminal and each amplification stage respectively to apply bias potential to the amplification stages; the amplification stages include a control terminal for receiving an input signal and bias potential supplied to the stages, and a first terminal to send out an output signal; a first and a second amplification stage of each amplification system are formed in a signal semiconductor chip in a monolithic manner; a portion of the bias resistor constituting the bias circuit of the first and second amplification stages is formed in above semiconductor chip in a monolithic manner.



## LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-111415

(P2002-111415A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51)IntCl'	識別記号	F I	テ-マ-ト <sup>7</sup> (参考)		
H 0 3 F	3/68	H 0 3 F	3/68	Z	5 F 0 3 8
H 0 1 L	27/04		3/213		5 J 0 6 9
	21/822		3/24		5 J 0 9 1
H 0 3 F	3/213	H 0 4 B	1/03	A	5 K 0 6 0
	3/24		1/04	A	
審査請求 未請求 請求項の数14 O L (全 15 頁) 最終頁に続く					

審査請求 未請求 請求項の数14 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2000-299153 (P2000-299153)

(22) 出願日 平成12年9月29日 (2000. 9. 29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 将司

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 赤嶺 均

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

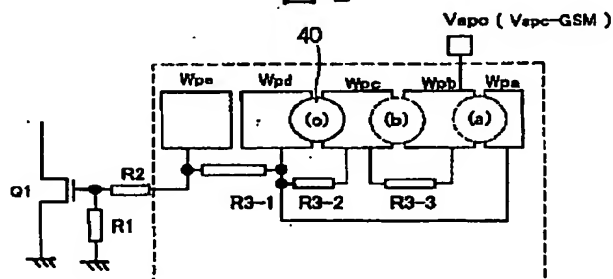
(54) 【発明の名称】 高周波電力増幅装置及び無線通信機

## (57) 【要約】

【課題】 部品点数を低減する。トランジスタの閾値電圧  $V_{th}$  の変化に対応してバイアス抵抗比を調整する。

【解決手段】 複数の増幅系を有する高周波電力増幅装置であって、各増幅系は、増幅されるべき信号が供給される入力端子と、出力端子と、バイアス端子と、上記入力端子と上記出力端子の間に順次従属接続される複数の増幅段と、バイアス端子と各増幅段にそれぞれ接続され、増幅段にバイアス電位を印加するバイアス回路とを有し、増幅段は、その段へ供給される入力信号及びバイアス電位を受ける制御端子と、その段の出力信号を送出する第1の端子とを含み、各増幅系の初段増幅段と第2段増幅段は、単一の半導体チップにモノリシックに形成され、初段増幅段と第2段増幅段のバイアス回路を構成するバイアス抵抗の一部が上記半導体チップにモノリシックに形成されていることを特徴とする。

図 1



- (a):  $R1/(R1+R2+(R3-1))$   
 (b):  $R1/(R1+R2+(R3-1)+(R3-2))$   
 (c):  $R1/(R1+R2+(R3-1)+(R3-3))$   
 (d): ホンディングなし  
 $R1/(R1+R2+(R3-1)+(R3-2)+(R3-3))$

## 【特許請求の範囲】

【請求項 1】 複数の増幅系を有する高周波電力増幅装置であって、

上記各増幅系は、

増幅されるべき信号が供給される入力端子と、

出力端子と、

バイアス端子と、

上記入力端子と上記出力端子の間に順次従属接続される複数の増幅段と、

上記バイアス端子と上記各増幅段にそれぞれ接続され、上記増幅段にバイアス電位を印加するバイアス回路とを有し、

上記増幅段は、その段へ供給される入力信号及び上記バイアス電位を受ける制御端子と、その段の出力信号を送出する第 1 の端子とを含み、

上記各増幅系の初段増幅段と第 2 段増幅段は、単一の半導体チップにモノリシックに形成され、上記初段増幅段と第 2 段増幅段のバイアス回路に含まれるバイアス抵抗の一部が上記半導体チップにモノリシックに形成されていることを特徴とする高周波電力増幅装置。

【請求項 2】 上記半導体チップの表面に配置される上記初段増幅段と第 2 段増幅段の端子は、同一方向に沿って上記制御端子と上記第 1 の端子が交互に配置されていることを特徴とする請求項 1 に記載の高周波電力増幅装置。

【請求項 3】 上記半導体チップの表面に設けられている上記第 2 段増幅段の制御端子に接続されるワイヤと、上記第 2 段増幅段の第 1 の端子に接続されるワイヤは、相互に交差する方向に延在していることを特徴とする請求項 1 に記載の高周波電力増幅装置。

【請求項 4】 上記第 2 段増幅段の制御端子に接続されるワイヤと、上記第 2 段増幅段の第 1 の端子に接続されるワイヤは、相互に直交する方向に延在していることを特徴とする請求項 3 に記載の高周波電力増幅装置。

【請求項 5】 上記各増幅系の初段増幅段または初段増幅段と第 2 段増幅段のバイアス抵抗比は調整可能になっていることを特徴とする請求項 1 に記載の高周波電力増幅装置。

【請求項 6】 上記各増幅系の初段増幅段または初段増幅段と第 2 段増幅段のバイアス抵抗比は、上記半導体チップの表面に形成した複数のバイアス抵抗相互を、電気的接続体で接続しないことを含む電気的接続体の接続位置の選択によって調整されていることを特徴とする請求項 5 に記載の高周波電力増幅装置。

【請求項 7】 上記バイアス端子にはバイアス制御回路が接続され、このバイアス制御回路の上記初段増幅段及び上記第 2 段増幅段に対する出力端子は上記初段増幅段及び上記第 2 段増幅段の制御端子に接続されていることを特徴とする請求項 1 に記載の高周波電力増幅装置。

【請求項 8】 上記各増幅系の最終段増幅段を構成する

トランジスタは、Si-MOSFET, SiGe-FET, GaAs-MESFET, HEMT, ヘテロ接合型バイポーラトランジスタのうちのいずれかのトランジスタで形成されていることを特徴とする請求項 1 に記載の高周波電力増幅装置。

【請求項 9】 請求項 1 に記載の高周波電力増幅装置を有する無線通信機。

【請求項 10】 上記複数の増幅段のそれぞれに含まれるトランジスタは第 1 導電型の FET であり、上記半導体チップには第 1 導電型の FET と第 2 導電型の FET が形成されていることを特徴とする請求項 1 に記載の高周波電力増幅装置。

【請求項 11】 増幅系を有する高周波電力増幅装置であって、

上記増幅系は、

増幅されるべき信号が供給される入力端子と、

出力端子と、

バイアス端子と、

上記入力端子と上記出力端子の間に順次従属接続される複数の増幅段と、

上記バイアス端子と上記各増幅段にそれぞれ接続され、上記増幅段にバイアス電位を印加するバイアス回路とを有し、

上記増幅段は、その段へ供給される入力信号及び上記バイアス電位を受ける制御端子と、その段の出力信号を送出する第 1 の端子とを含み、

上記増幅系の初段増幅段と第 2 段増幅段は、単一の半導体チップにモノリシックに形成され、上記初段増幅段と第 2 段増幅段のバイアス回路に含まれるバイアス抵抗の一部が上記半導体チップにモノリシックに形成され、上記増幅系の初段増幅段または初段増幅段と第 2 段増幅段のバイアス抵抗は、その値が調整可能になっていることを特徴とする高周波電力増幅装置。

【請求項 12】 上記増幅系の初段増幅段または初段増幅段と第 2 段増幅段のバイアス抵抗比は、上記半導体チップの表面に形成した複数のバイアス抵抗相互を、電気的接続体で接続しないことを含む電気的接続体の接続位置の選択によって調整されていることを特徴とする請求項 11 に記載の高周波電力増幅装置。

【請求項 13】 上記増幅系の最終段増幅段を構成するトランジスタは、Si-MOSFET, SiGe-FET, GaAs-MESFET, HEMT, ヘテロ接合型バイポーラトランジスタのうちのいずれかのトランジスタで形成されていることを特徴とする請求項 11 に記載の高周波電力増幅装置。

【請求項 14】 請求項 11 に記載の高周波電力増幅装置を有する無線通信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の増幅系を有

する高周波電力増幅装置（高周波電力増幅モジュール）及びその高周波電力増幅装置を組み込んだ無線通信機に係わり、例えば、通信周波数帯が異なる複数の通信機能を有する多バンド通信方式のセルラー携帯電話機に適用して有効な技術に関する。

#### 【0002】

【従来の技術】近年、北米セルラー市場においては、従来から使用されている北米全土をカバーするアナログ方式のAMPS (Advanced Mobile phone Service) と、TDMA (time division multiple access), CDMA (code division multiple access) 等デジタル方式を一つの携帯電話に組み込んだいわゆるデュアルモード携帯電話機が使用されている。

【0003】一方、欧州等においては、TDMA技術とFDD (frequency division duplex: 周波数分割双方向) 技術を使うGSM (Global System for Mobile Communication) 方式とDCS (Digital Cellular System) 方式が使用されている。

【0004】日経BP社発行「日経エレクトロニクス」1999年7月26日号 (no.748)、P140～P153には、使用周波数が800～900MHzのGSMと、使用周波数が1.7～1.8GHzのDCSを一体化したデュアルモードの携帯電話について記載されている。同文献には、受動部品を集積して回路全体を小型化する多層セラミックス・デバイスについて記載されている。

【0005】また、デュアルバンド向けRFパワーモジュールについては、株式会社日立製作所半導体グループ発行、「GAIN」、No. 131、2000.1に記載されている。

#### 【0006】

【発明が解決しようとする課題】高度情報通信により携帯電話もより一層多機能化が図られている。このため、携帯電話に組み込まれる高周波電力増幅装置（高周波電力増幅モジュール）もそれに追従して多機能になっている。特に、複数の通信モード（含む通信バンド）を有する高周波電力増幅装置においては、シングル通信モード製品に比較して組み立て部品数が多くなり、装置が大型化し製品コストが高騰する。

【0007】そこで、本発明者等は高周波電力増幅装置の外形の小型化を図るため、搭載するチップ抵抗の数を低減することを検討した。

【0008】図23はGSM方式とDCS方式を組み込んだ従来のデュアルバンド型の高周波電力増幅モジュールの等価回路と半導体チップ等との関係を示す回路図である。高周波電力増幅装置は、第1の増幅系としてGSM用の増幅系eと、第2の増幅系としてDCS用の増幅系fを有している。

【0009】GSM用の増幅系eは、入力端子(Pin-GSM)と出力端子(Pout-GSM)間に、トランジスタQ1、Q2、Q3を順次従属接続した3段構成〔初

段増幅段、第2段増幅段、3段目増幅段（最終段増幅段）〕になっている。

【0010】各トランジスタQ1、Q2、Q3は、MOSFET (Metal Oxide Semiconductor Field-Effect-Transistor) で構成され、制御端子であるゲート電極に信号とバイアス電位が印加される。バイアス電位はバイアス端子(V<sub>bias</sub>-GSM: オートパワーコントロール端子)に印加され、バイアス抵抗R1～R5によってそれぞれの制御端子に所定のバイアス電位を印加するようになっている。

【0011】また、各トランジスタQ1、Q2、Q3の第1の端子（ドレイン電極）には電源電位(V<sub>dd</sub>-GSM)が供給されるとともに、第1の端子に増幅信号が出力される。トランジスタの第2の端子（ソース電極）は基準電位（グランド）が供給される。なお、L1～L7は整合回路である。

【0012】DCS用の増幅系fは、上記GSM用の増幅系eと同じ構成になっている。即ち、入力端子(Pin-DCS)と出力端子(Pout-DCS)間に、トランジスタQ4、Q5、Q6を順次従属接続した3段構成〔初段増幅段、第2段増幅段、3段目増幅段（最終段増幅段）〕になっている。

【0013】各トランジスタQ4、Q5、Q6は、MOSFETで構成され、制御端子であるゲート電極に信号とバイアス電位が印加される。バイアス電位はバイアス端子(V<sub>bias</sub>-DCS)に印加され、バイアス抵抗R6～R10によってそれぞれの制御端子に所定のバイアス電位を印加するようになっている。

【0014】また、各トランジスタQ4、Q5、Q6の第1の端子（ドレイン電極）には電源電位(V<sub>dd</sub>-DCS)が供給されるとともに、第1の端子に増幅信号が出力される。トランジスタの第2の端子（ソース電極）は基準電位（グランド）が供給される。なお、L8～L14は整合回路である。

【0015】GSM用の増幅系e及びDCS用の増幅系fのトランジスタQ1、Q2は、単一の半導体チップ内に組み込まれたモノリシック構成になっている。しかし、このような構成では、バイアス抵抗が外付け部品となり、高周波電力増幅装置の小型化を妨げている。また、半導体チップにおいては、GSM用の増幅系e及びDCS用の増幅系fは、共に初段増幅段と2段増幅段がワンチップ化されているが、2増幅系であることから、半導体チップは2個必要となり高周波電力増幅装置の小型化を妨げている。

【0016】一方、増幅段を構成するトランジスタにおいては、生産ロット毎にトランジスタの閾値電圧V<sub>th</sub>が微妙に不均一になり（バラツキ）、このためロット毎にバイアス回路を構成する抵抗のバイアス抵抗比を変更する必要がある。この方法はロット毎にチップ抵抗を選択使用しなければならず、製造作業が面倒になる。

【0017】本発明の目的は、小型の高周波電力増幅装置及びその高周波電力増幅装置を組み込んだ無線通信機を提供することにある。

【0018】本発明の他の目的は、トランジスタの閾値電圧 $V_{th}$ の変化に対応してバイアス抵抗比を容易に調整できる技術を提供することにある。

【0019】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0021】(1) 複数の増幅系を有する高周波電力増幅装置であって、上記各増幅系は、増幅されるべき信号が供給される入力端子と、出力端子と、バイアス端子と、上記入力端子と上記出力端子の間に順次従属接続される複数の増幅段と、上記バイアス端子と上記各増幅段にそれぞれ接続され、上記増幅段にバイアス電位を印加するバイアス回路とを有し、上記増幅段は、その段へ供給される入力信号及び上記バイアス電位を受ける制御端子と、その段の出力信号を送出する第1の端子とを含み、上記各増幅系の初段増幅段と第2段増幅段は、単一の半導体チップにモノリシックに形成され、上記初段増幅段と第2段増幅段のバイアス回路を構成するバイアス抵抗の一部が上記半導体チップにモノリシックに形成されていることを特徴とする。

【0022】上記半導体チップの表面に配置される上記初段増幅段と第2段増幅段の端子は、同一方向に沿って上記制御端子と上記第1の端子が交互に配置されている。

【0023】上記半導体チップの表面に設けられている上記第2段増幅段の制御端子に接続されるワイヤと、上記第2段増幅段の第1の端子に接続されるワイヤは、相互に直交する方向または交差する方向に延在している。

【0024】上記各増幅系の初段増幅段または初段増幅段と第2段増幅段のバイアス抵抗比は調整可能になっている。即ち、上記各増幅系の初段増幅段または初段増幅段と第2段増幅段のバイアス抵抗比は、上記半導体チップの表面に形成した複数のバイアス抵抗相互を、電気的接続体で接続しないことを含む電気的接続体の接続位置の選択によって調整されている。

【0025】このような高周波電力増幅装置は無線通信機に組み込まれ、デュアルバンド通信が行える。

【0026】前記(1)の手段によれば、(a) 各増幅系の初段増幅段と第2段増幅段は、単一の半導体チップにモノリシックに形成されていることから、個別の半導体チップを組み込む構造に比較して小型化が図れる。また、上記初段増幅段と第2段増幅段のバイアス回路を構成するバイアス抵抗の一部は上記半導体チップにモノリ

シックに形成されていることから、チップ抵抗をそれぞれ搭載する構造に比較して高周波電力増幅装置の小型化を図ることができる。

【0027】(b) 上記(1)に示すように、各増幅系の初段増幅段と第2段増幅段を単一の半導体チップにモノリシックに形成すること、初段増幅段と第2段増幅段のバイアス回路を構成するバイアス抵抗の一部を半導体チップにモノリシックに形成することによって部品点数の低減を図ることができ、高周波電力増幅装置の小型化及び製造コストの低減を図ることができる。

【0028】(c) 半導体チップの表面に配置される初段増幅段と第2段増幅段の端子は、同一方向に沿って制御端子(例えば、ゲート電極)と第1の端子(例えば、ドレイン電極)が交互に配置されるため、初段増幅段の出力を取り出す方向(ワイヤ延在方向)と第2段増幅段の出力を取り出す方向(ワイヤ延在方向)が近接して隣り合って並ぶことがなく、ワイヤ間の相互誘導作用による利得の低下やアイソレーションの低下を防止することができる。

【0029】(d) 半導体チップの表面に設けられている第2段増幅段の制御端子に接続される入力用のワイヤと、第2段増幅段の第1の端子に接続される出力用のワイヤは、相互に交差または直交する方向に延在していることから、クロストークを抑えることができる。

【0030】(e) トランジスタの閾値電圧 $V_{th}$ 別にボンディングプログラムを設定しておき、この設定プログラムに基づいて電気的接続体(ボンディングワイヤ)で所定バイアス抵抗間を接続する(電気的接続体で接続しないことも含む)ことによって、所定のバイアス抵抗比を得ることができる。半導体チップにオンチップで形成された導体層によるバイアス抵抗の抵抗値精度は5%以内に形成できる。従って、各トランジスタに対して最適なバイアス電位の設定が可能になり、トランジスタの動作点が安定する。この結果、パワー制御曲線のバラツキ(Vapc-Pout)が低減でき特性が向上する。

【0031】(f) 上記(a)～(e)に記載される効果を有する高周波電力増幅装置を組み込んだ無線通信機は、高性能なデュアルバンド通信が可能になるとともに、安価で小型化なものとなる。

【0032】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0033】(実施形態1) 本実施形態1では、GSM用の増幅系とDCS用の増幅系を有する高周波電力増幅装置と、その高周波電力増幅装置を組み込んだ無線通信機に本発明を適用した例について説明する。

【0034】高周波電力増幅装置(高周波電力増幅モジュール)20は、図3の平面図、図4の側面図及び図5

の正面図に示すように外観的には扁平な矩形体構造になっている。なお、図6は高周波電力増幅装置の底面の電極パターンを透視的に示す模式的平面図である。

【0035】高周波電力増幅装置20は、板状の配線基板からなるモジュール基板21と、このモジュール基板21の一面側(主面側)に重ねて取り付けられたキャップ22とによって扁平矩形体構造のパッケージ23が構成された構造になっている。前記キャップ22は電磁シールド効果の役割を果たす金属製になっている。前記モジュール基板21の配線パターンやモジュール基板21に搭載される半導体増幅素子を含む電子部品によって、図7に示すような回路を構成するようになっている。

【0036】図3及び図6に示すように、高周波電力増幅装置20の周面から底面に掛けてそれぞれ外部電極端子が設けられている。この外部電極端子は、表面実装型となり、モジュール基板21に形成された配線とこの配線の表面に形成されたソルダーによって形成されている。1, 2, 7, 8はノンコンタクト端子(N/C)、3はPout-DCS用端子、4はVdd-DCS用端子、5はVdd-GSM用端子、6はPout-GSM用端子、9はPin-GSM用端子、10はVapc-GSM用端子、11はVapc-DCS用端子、12はPin-DCS用端子、GはGND用端子である。

【0037】図7に示すように、高周波電力増幅装置は、GSM用の増幅系eとDCS用の増幅系fを有する。増幅系e及び増幅系fは、それぞれ使用する電子部品の性能は異なるものもあるが、回路構成は同一となっている。従って、増幅系eの説明において、増幅系eに対応する増幅系fの部品の記号を括弧内に示し、増幅系fの説明とする。

【0038】増幅系eでの外部電極端子は、入力端子としてのPin-GSM(増幅系fではPin-DCS)、出力端子としてのPout-GSM(増幅系fではPout-DCS)、第1基準電位(電源電位)としてのVdd-GSM(増幅系fではVdd-DCS)、バイアス端子としてのVapc-GSM(増幅系fではVapc-DCS)である。また、第2基準電位としてのGND用端子が設けられている。

【0039】Pin-GSM(Pin-DCS)とPout-GSM(Pout-DCS)との間には3段の増幅段が従属接続されている。初段増幅段、第2段増幅段及び第3段増幅段(最終段増幅段)は、いずれもトランジスタQ1, Q2, Q3(Q4, Q5, Q6)で構成されている。

【0040】各増幅段を構成するトランジスタのそれぞれは、その段への入力信号及びバイアス電位を受ける制御端子(ゲート電極)と、その段の出力信号を送出する第1の端子(ドレイン電極)と、その段のための基準電位(GND電位)を受けるための第2の端子(ソース電極)とからなっている。

【0041】Pin-GSM(Pin-DCS)は整合回路L1(L8)を介してトランジスタQ1(Q4)のゲート電極に接続されている。増幅系は3段構成であることから第2段のトランジスタ及び第3段のトランジスタのゲート電極は共に前段のトランジスタのドレイン電極に整合回路L3(L10), L5(L12)を介して接続されている。最終段増幅段である出力段となるトランジスタQ3(Q6)のドレイン電極は整合回路L7(L14)を介してPout-GSM(Pout-DCS)に接続されている。

【0042】各トランジスタQ1, Q2, Q3のドレイン電極は整合回路L2, L4, L6(L9, L11, L13)を介してVdd-GSM(Vdd-DCS)に接続されている。

【0043】各トランジスタQ1, Q2, Q3のゲート電極はVapc-GSM(Vapc-DCS)に接続されている。これらゲート電極とVapc-GSM(Vapc-DCS)との間には、それぞれのゲート電極に印加するバイアス電位を制御するためのバイアス回路が設けられている。バイアス回路は、分圧抵抗を形成するバイアス抵抗R1~R5(R6~R10)によって形成されている。

【0044】図7において破線枠で示す部分が半導体チップ(FETチップ)25である。この半導体チップ25には、GSM用の増幅系eのトランジスタQ1, Q2と、これらトランジスタQ1, Q2のバイアス抵抗比を決めるバイアス抵抗R1, R2, R3, R4, R5と、DCS用の増幅系fのトランジスタQ4, Q5と、これらトランジスタQ4, Q5のバイアス抵抗比を決めるバイアス抵抗R6, R7, R8, R9, R10がモノリシックに組み込まれている。これにより、部品点数の低減を図ることができ、高周波電力増幅装置の小型化及び製造コストの低減を図ることができる。

【0045】一方、これが本発明の特徴の一つであるが、本実施形態1では、トランジスタの閾値電圧Vthのバラツキに対応させて、組立時バイアス抵抗比を変えることができる構成になっている。即ち、図1はトランジスタQ1のバイアス回路部分に本発明を適用した例を示す模式図である。点線枠で囲まれた部分がバイアス抵抗比補正部である。このバイアス抵抗比補正部には、相互に電氣的に接触しない状態で5個のボンディング部Wpa, Wpb, Wpc, Wpd, Wpeが直列に配置されている。これらボンディング部は導体層からなるとともに、半導体チップ25の表面に形成されている。これらボンディング部Wpa, Wpb, Wpc, Wpdは、隣接するボンディング部間に導体からなる電氣的接続体40を固定することによって隣接するボンディング部のみが電氣的に接続できる構成、即ち調整可能(プログラマブル)な構成になっている。図1において、接続箇所は(a), (b), (c)で示してあり、例えば、図1では接続箇所(a)に電氣的接続体40が固定され(図2参照)、



WpcとWpdが電氣的に接続された状態を示す。また、ボンディング部Wpa、Wpb、Wpc、Wpd、Wpeの側方には抵抗素子R3-1、R3-2、R3-3が設けられている。

【0046】ボンディング部Wpa、Wpb、Wpc、Wpd、Wpe及び抵抗素子R3-1、R3-2、R3-3は符号は付さない配線によって以下のように結線されている。Vapc (Vapc-GSM) はWpbに配線を介して接続され、Wpeはバイアス抵抗R2に配線を介して接続されている。抵抗素子R3-3の一端は配線を介してボンディング部Wpbに接続され、他端は配線を介してボンディング部Wpcに接続されている。抵抗素子R3-2の一端は配線を介してボンディング部Wpcに接続され、他端は配線を介してボンディング部Wpdに接続されている。また、ボンディング部Wpaとボンディング部Wpdは別の配線によって接続されている。抵抗素子R3-1の一端は配線を介してボンディング部Wpdに接続され、他端は配線を介してボンディング部Wpeに接続されている。

【0047】従って、バイアス抵抗比の調整は図1に示すように、(a)～(d)の4形態の調整が可能になる。図1に示すように、接続形態(a)は接続箇所

(a)に電氣的接続体を固定した場合であり、バイアス抵抗比は、 $R1 / [R1 + R2 + (R3 - 1)]$ になる。接続形態(b)は接続箇所(b)に電氣的接続体を固定した場合であり、バイアス抵抗比は、 $R1 / [R1 + R2 + (R3 - 1) + (R3 - 2)]$ になる。接続形態(c)は接続箇所(c)に電氣的接続体を固定した場合であり、バイアス抵抗比は、 $R1 / [R1 + R2 + (R3 - 1) + (R3 - 3)]$ になる。接続形態(d)は電氣的接続体をボンディングしない場合であり、バイアス抵抗比は、 $R1 / [R1 + R2 + (R3 - 1) + (R3 - 2) + (R3 - 3)]$ になる。

【0048】ここで、電氣的接続体40の接続について説明する。図8は高周波電力増幅装置の製造の一部のプロセスステップ(S)、即ちプローブ検査(S311)からダイシング・チップ選別(S312)、チップ搭載(S313)、抵抗選択(S314)に至るステップを示すフローチャートである。

【0049】図示しない半導体基板の表面に縦横に半導体素子を形成した後、この半導体素子の特性を検査(プローブ検査)し、つぎに前記半導体基板を縦横に切断(ダイシング)し、上記プローブ検査で良品と判定された半導体素子(半導体チップ)のみ使用することにする。

【0050】つぎに、前述したモジュール基板21の所定箇所に半導体チップを搭載するとともに、上記半導体チップのトランジスタの閾値電圧 $V_{th}$ に対応して、電氣的接続体40の固定位置を選択する。この例では、図12に示すように、GSM用の増幅系eのトランジスタQ1と、DCS用の増幅系fのトランジスタQ4のバイ

ス抵抗比を調整可能としてある。

【0051】トランジスタの閾値電圧 $V_{th}$ は、図10のグラフに示すように、製造ロットによって微妙に閾値電圧のずれ( $\Delta V_{th}$ )を生じる。そこで、図11に示すように、閾値電圧 $V_{th}$ の数値に対応して4つの接続形態をとり、所定のバイアス抵抗比を得る。即ち閾値電圧 $V_{th}$ が(1)～(2)の範囲の数値である場合、接続位置は図1で示す(a)の位置を選択する。同様に閾値電圧 $V_{th}$ が(3)～(4)の場合は接続位置は図1で示す

(b)の位置を選択し、閾値電圧 $V_{th}$ が(5)～(6)の場合は接続位置は図1で示す(c)の位置を選択する。また、閾値電圧 $V_{th}$ が(7)～(8)の場合は形態(d)に示すように、電氣的接続体を何処にも接続しないことにする。上記(1)～(2)等の数値は特に明示しないが、それぞれ適当な数値を選択するものである。図2は(a)に電氣的接続体40が接続された状態を示すものである。この電氣的接続体40は、ネイルヘッドボンディング後、ワイヤをボール部分近傍で切断させたものである。

【0052】このように電氣的接続体の位置選択による接続と、接続せずの方法によってバイアス抵抗比を補正することができ、トランジスタQ1、Q4の閾値電圧 $V_{th}$ のバラツキを補償することができる。このバイアス抵抗比の調整は、最終段増幅段は行わないが、第2段増幅段のトランジスタに対しても行うようにしてもよい。

【0053】図9は半導体チップ25の概要を示す平面図である。この図は、図12も同様であるが、GSM用及びDCS用の初段トランジスタ(1st FET)と、第2段トランジスタ(2nd FET)のゲート電極(G)とドレイン電極(D)を示す。また、図が煩雑になることから一部は表示せず、かつまたバイアス抵抗比補正部の各部については符号は付していない。

【0054】また、これも本発明の特徴の一つであるが、1st FETと2nd FETのゲート電極(G)及びドレイン電極(D)は、同一方向に沿って交互に配置したレイアウトになっている。このようなレイアウトにすることによって、1st FET(初段増幅段)の出力を取り出す方向(ワイヤ延在方向)と2nd FET(第2段増幅段)の出力を取り出す方向(ワイヤ延在方向)が近接して隣り合って並ぶことがなくなり(図13参照)、ワイヤ間の相互誘導作用による利得の低下やアイソレーションの低下を防止することができる。即ち、アイソレーションの低下を抑止することができ、ワイヤ間の相互誘導作用による利得の低下を防止することができる。

【0055】また、これも本発明の特徴の一つであるが、図13及び図14(a)に示すように、GSM用の増幅系の2nd FET(Q2)及びDCS用の増幅系の2nd FET(Q5)においては、ゲート電極に接続されるワイヤ41の延在方向と、ドレイン電極に接続されるワイヤ41の延在方向は相互に直交するようになってい

る。この結果、入力電力と出力電力との間でのクロストークを抑えることができる。なお、両ワイヤを相互に直交させなくとも、直交に近い交差状態としてもクロストークの抑止は可能である。ワイヤ41の他端は配線の一部に設けられたワイヤボンディングパッド42に接続されている。

【0056】また、本実施形態1の半導体チップにおいて、図9に示すように、初段増幅段のトランジスタ(1stFET)Q1と、第2段増幅段のトランジスタ(2ndFET)Q2の方向が同一になっている。これにより、電気特性( $V_{th}$ 対ドレイン電流特性)のバラツキが小さくなる。即ち、1stFETと2ndFETの電流が流れるドレイン・ソース方向を直交させると、半導体基板の結晶軸が $90^\circ$  変わることになり、熱処理によって特性がばらつきやすくなる。

【0057】なお、図14(b)はGSM用の1stFETと2ndFETを単一の半導体チップに組み込み、DCS用の1stFETと2ndFETを単一の半導体チップに組み込んだ場合においては、1stFETと2ndFETとの間にGND配線を設けてワイヤ間の相互誘導作用による利得の低下を防止する構成とすることができる。しかし、この構成は、二つの増幅系を単一の半導体チップに組み込む本例にはそのまま適用することができない。そこで、本実施形態1では図14(a)に示すような構成にする。

【0058】このような、高周波電力増幅装置は、図15に示すように無線通信機に組み込まれて使用される。図15はデュアルバンド無線通信機の一部を示すブロック図であり、高周波信号処理IC(RFlinear)50からアンテナ(Antenna)51までの部分を示す。なお、図15では、高周波電力増幅装置の増幅系はGSM用の増幅系と、DCS用の増幅系の二つを別けて示してあり、その増幅器をPA(パワーアンプ)20a、20bとして示してある。

【0059】アンテナ51はアンテナ送受信切替器52のアンテナ端子Antenaに接続されている。アンテナ送受信切替器52は、PA20a、20bの出力を入力する端子Pout1、Pout2と、受信端子RX1、RX2と、制御端子control1、control2とを有している。

【0060】高周波信号処理IC50からのGSM用の信号はPA20aに送られ、Pout1に出力される。PA20aの出力はカプラー54aによって検出され、この検出信号は自動出力制御回路(APC回路)53にフィードバックされる。APC回路53は上記検出信号を基に動作してPA20aを制御する。

【0061】また、同様に高周波信号処理IC50からのDCS用の信号はPA20bに送られ、Pout2に出力される。PA20bの出力はカプラー54bによって検出され、この検出信号はAPC回路53にフィードバックされる。APC回路53は上記検出信号を基に動作

してPA20bを制御する。

【0062】アンテナ送受信切替器52はデュプレクサー55を有している。このデュプレクサー55は端子有し、1端子は上記アンテナ端子Antenaに接続され、他の2端子の内一方はGSM用の送信受信切替スイッチ56aに接続され、他方はDCS用の送信受信切替スイッチ56bに接続されている。

【0063】送信受信切替スイッチ56aのa接点はフィルター57aを介してPout1に接続されている。送信受信切替スイッチ56aのb接点は容量C1を介して受信端子RX1に接続されている。送信受信切替スイッチ56aは制御端子control1に入力される制御信号によってa接点またはb接点との電氣的接続の切替えが行われる。

【0064】また、送信受信切替スイッチ56bのa接点はフィルター57bを介してPout2に接続されている。送信受信切替スイッチ56bのb接点は容量C2を介して受信端子RX2に接続されている。送信受信切替スイッチ56bは制御端子control2に入力される制御信号によってa接点またはb接点との電氣的接続の切替えが行われる。

【0065】受信端子RX1と高周波信号処理IC50との間には、フィルター60aと低雑音アンプ(LNA)61aが順次接続されている。また、受信端子RX2と高周波信号処理IC50との間には、フィルター60bと低雑音アンプ(LNA)61bが順次接続されている。

【0066】この無線通信機によってGSM通信及びDCS通信が可能になる。

【0067】本実施形態1によれば以下の効果を有する。

【0068】(1) GSM用の増幅系e及びDCS用の増幅系fの初段増幅段(トランジスタQ1、Q4)と第2段増幅段(トランジスタQ2、Q5)は、単一の半導体チップ25にモノリシックに形成されていることから、個別の半導体チップを組み込む構造に比較して小型化が図れる。また、上記初段増幅段と第2段増幅段のバイアス回路を構成するバイアス抵抗の一部は上記半導体チップ25にモノリシックに形成されていることから、チップ抵抗をそれぞれ搭載する構造に比較して高周波電力増幅装置の小型化を図ることができる。

【0069】(2) 上記(1)に示すように、GSM用の増幅系e及びDCS用の増幅系fの初段増幅段と第2段増幅段を単一の半導体チップ25にモノリシックに形成すること、初段増幅段と第2段増幅段のバイアス回路を構成するバイアス抵抗の一部を半導体チップ25にモノリシックに形成することによって部品点数の低減を図ることができ、高周波電力増幅装置の小型化及び製造コストの低減を図ることができる。

【0070】(3) 半導体チップ25の表面に配置され



る初段増幅段と第2段増幅段の端子は、同一方向に沿って制御端子（例えば、ゲート電極）と第1の端子（例えば、ドレイン電極）が交互に配置されるため、初段増幅段の出力を取り出す方向（ワイヤ延在方向）と第2段増幅段の出力を取り出す方向（ワイヤ延在方向）が近接して隣り合って並ぶことがなく、ワイヤ41間の相互誘導作用による利得の低下やアイソレーションの低下を防止することができる。

【0071】（4）半導体チップ25の表面に設けられている第2段増幅段の制御端子に接続される入力用のワイヤ41と、第2段増幅段の第1の端子に接続される出力用のワイヤ41は、相互に交差または直交する方向に延在していることから、クロストークを抑えることができる。

【0072】（5）トランジスタの閾値電圧 $V_{th}$ 別にボンディングプログラムを設定しておき、この設定プログラムに基づいて電氣的接続体（ボンディングワイヤ）40で所定バイアス抵抗間を接続する（電氣的接続体で接続しないことも含む）ことによって、所定のバイアス抵抗比を得ることができる。半導体チップ25にオンチップで形成された導体層によるバイアス抵抗の抵抗値精度は5%以内に形成できる。従って、各トランジスタに対して最適なバイアス電位の設定が可能になり、トランジスタの動作点が安定する。この結果、パワー制御曲線のバラツキ（Vapc-Pout）が低減でき特性が向上する。

【0073】（6）上記（1）～（5）に記載される効果を有する高周波電力増幅装置を組み込んだ無線通信機は、高性能なデュアルバンド通信が可能になるとともに、安価で小型化なものとなる。

【0074】本実施形態1では、増幅段を構成する半導体増幅素子（トランジスタ）としてMOS（Metal Oxide Semiconductor）FETを用いた例について説明したが、他のトランジスタでもよい。例えば、トランジスタとして、シリコンバイポーラトランジスタ、GaAs-MES（Metal-Semiconductor）FET、HBT（Hetero Junction Bipolar Transistor）、HEMT（High Electron Mobility Transistor）、Si-GeFET等であつてもよい。特に高性能のトランジスタは出力段を構成する最終段増幅段に用いると効果が高い。ここで、HBTとSi-GeFETについて簡単に説明する。

【0075】図16及び図17はHBTのそれぞれ断面図である。半絶縁性GaAs基板65上には、n<sup>+</sup>型GaAsサブコレクタ層66が設けられているとともに、このn<sup>+</sup>型GaAsサブコレクタ層66上にn型GaAsコレクタ層67が設けられている。また、前記n型GaAsコレクタ層67は選択的に途中深さまでエッチング除去され一部に突出したメサ部を有している。前記メサ部から外れた薄いn型GaAsコレクタ層67が形成されている領域において、部分的にn型GaAsコレクタ層67がエッチング除去され、この除去部分にはコレ

クタ電極75が設けられている。

【0076】前記メサ部上にはp<sup>+</sup>型GaAsベース層68、n型InGaPエミッタ層69、n<sup>+</sup>型GaAsキャップ層70が順次重なるように設けられている。p<sup>+</sup>型GaAsベース層68とn型InGaPエミッタ層69は略同じ大きさで一致して重なっているが、n<sup>+</sup>型GaAsキャップ層70はメサ部分の中央に細長矩形状に形成されている。

【0077】前記n<sup>+</sup>型GaAsキャップ層70から外れたメサ領域において、選択的にn型InGaPエミッタ層69およびn<sup>+</sup>型GaAsキャップ層70がエッチング除去されてコンタクト穴が設けられ、このコンタクト穴部分にはベース電極71が設けられている。

【0078】また、前記半絶縁性GaAs基板65の上表面は表面を保護する絶縁膜72で覆われている。絶縁膜72は部分的にエッチング除去されてコンタクト穴が設けられ、HBTの各電極が電氣的に接触する。前記最上層の絶縁膜が形成される前、前記n<sup>+</sup>型GaAsキャップ層70上にはエミッタ電極73（図では2層になっている）が形成される。そして、コンタクト穴形成後の配線金属74の形成によって、各配線金属74はエミッタ電極73、ベース電極71、コレクタ電極75に接続される。

【0079】また、HBTの製造において、n型GaAsコレクタ層67やn<sup>+</sup>型GaAsサブコレクタ層66はエッチングによってアイソレーション溝76が設けられる。このアイソレーション溝76は半絶縁性GaAs基板65の表層部分にまで達する。このアイソレーション溝76の底にはエッチングストッパとして金属層77が設けられる。半絶縁性GaAs基板65の裏面にはコンタクト用の穴78が設けられる。この穴78は前記金属層77が底となるように形成される。配線金属74は、絶縁膜72に設けられた穴に充填された導通用配線79を介して上記金属層77に電氣的に接続される。また、半絶縁性GaAs基板65の裏面にも電極80が設けられることから、この電極80は金属層77及び導通用配線79を介してエミッタ電極73に接続される。なお、図において81は抵抗体である。

【0080】図18はSi-GeFETを示す模式的断面図である。Si-GeFET100は、図1に示すように、Si基板101の上表面（主面）にSi<sub>1-x</sub>Ge<sub>x</sub>（0≤x≤1）からなるSiGe歪み印加層102、歪みSiチャネル層104を順次積層成長させた構造になっている。また、Si基板101の表層部において、その内部にSiO<sub>2</sub>絶縁層103を有する構造になっている。

【0081】また、前記歪みSiチャネル層104、SiGe歪み印加層102およびSiO<sub>2</sub>絶縁層103上のSi層部分には貫通しかつ底が前記SiO<sub>2</sub>絶縁層103に到達する素子分離絶縁領域105が形成されてい

る。前記素子分離絶縁領域105に囲まれる素子形成領域121には、電界効果型トランジスタのソース領域やドレイン領域を構成する一対の拡散領域108が設けられている。

【0082】また、前記一対の拡散領域108間の歪みSiチャネル層104の表面にはゲート酸化膜106が設けられている。このゲート酸化膜106の上にはゲート電極107が設けられ、ゲート酸化膜106およびゲート電極107の両端には絶縁体からなる側壁(サイドウォール)122が設けられている。前記拡散領域108は前記ゲート酸化膜106の両端側にそれぞれ設けられている。

【0083】前記歪みSiチャネル層104、ゲート電極107および側壁122上には層間絶縁膜109が設けられている。この層間絶縁膜109にはコンタクトホールが設けられているとともに、このコンタクトホール部分には金属配線111が形成され、ゲート電極107に接続されるゲート配線、拡散領域108に接続されるソースやドレイン用の配線が形成され、電界効果型トランジスタが構成されている。

【0084】(実施形態2) 図19は本発明の他の実施形態(実施形態2)である高周波電力増幅装置の回路図である。本実施形態2では、上記実施形態1において、半導体チップ25内にバイアス制御回路85を組み込むとともに、このバイアス制御回路85の出力信号をそれぞれオペアンプOPamp1~OPamp6に出力し、トランジスタQ1~Q6のバイアス抵抗を制御するように構成されている。

【0085】図20は上記オペアンプによるバイアス抵抗制御を説明するための回路図である。

【0086】バイアス制御回路85は、APCより入力される信号に応じたトランジスタのバイアス制御信号をオペアンプに出力する。オペアンプはボルテージフォロワとなるように構成されている。オペアンプは、図20の構成例に示すように一対のnMOSトランジスタ(NM1, NM2)からなる差動増幅器と、一対のpMOSトランジスタ(PM1, PM2)からなるカレントミラー(能動負荷回路とも呼称する)と、pMOSトランジスタ(PM3)からなるソースフォロワによって構成され、入力電圧Vinと出力電圧Voutが同一電圧になるようにされている。

【0087】図21は半導体チップ25の模式的断面図である。同図に示すように、p型シリコン基板86の一表面にはp型のエピタキシャル層87が設けられている。このエピタキシャル層87はp型のアイソレーション領域88でそれぞれ囲まれている。そして、上記アイソレーション領域88で電氣的に分離されたエピタキシャル層87には、ウェル領域や不純物領域が形成されるとともに、所定箇所にはゲート絶縁膜やゲート電極が形成されPMOSやNMOSによるCMOS(相補型金

属酸化膜半導体)、LD(Lateral Double Diffused)MOS、抵抗R、保護ダイオード(diode)、PNdiodeが形成されている。

【0088】このような半導体装置について、図22のフローチャートを参照しながら簡単に説明する。このフローチャートでは、LOCOS形成から配線形成までの工程を示してある。

【0089】一表面にエピタキシャル層87を有するp型シリコン基板86を用意した後、上記エピタキシャル層87上にLOCOS(Local Oxidation of Silicon)膜89を形成する(S401)。

【0090】つぎに、上記LOCOS膜89の一部に抵抗層90を形成する(S402)。つぎに、所定の不純物をエピタキシャル層87に注入して、アイソレーション領域88や各ウェル領域を形成する。即ち、保護ダイオード形成箇所にはn型ウェル(NW1)を、PMOS形成箇所、PNdiode形成箇所にはn型ウェル(NW2)を、NMOS形成箇所及びLDMOS形成箇所にはp型ウェル(PW)を形成する(S403~S405)。

【0091】つぎに、ゲート(Gate)部分を形成する(S406)。即ち、LDMOS及びPMOS並びにNMOSを形成する箇所に、熱酸化膜によるゲート絶縁膜92と、このゲート絶縁膜92上に一致して重なるポリシリコンからなるゲート電極93を形成する。

【0092】つぎに、常用のホトリソグラフィや不純物拡散技術により、順次不純物を選択的に形成してp領域、n領域、n領域(符号付けず)を形成して、FETを構成する半導体領域やダイオードを形成する半導体領域を形成する。

【0093】つぎに、表面全体に層間絶縁膜94を形成する(S408)。その後、上記層間絶縁膜94にコンタクト孔を形成する(S409)。コンタクト孔は、所定のp領域、n領域に向かって形成され、コンタクト孔の底にはこれらp領域及びn領域が露出する。

【0094】つぎに、配線95を形成する。配線95は点々を付して示してある。これら配線95はコンタクト孔に充填され、各p領域、n領域に電氣的に接続される。この後は、例えば、平坦化を行い、さらに絶縁膜形成や配線形成が行われ、最後にファイナルパッシベーション膜が形成される。また、p型シリコン基板86は、単一の半導体チップを形成する部分のみを示して説明したが、実際には直径が大きな半導体基板(ウエハ)を使用して形成し、最後は半導体チップ毎に縦横に切断されて多数の半導体チップが形成されることになる。

【0095】これにより、LDMOS、抵抗R、保護diode、PMOS、PNdiode及びNMOSが形成される。上記PMOSやNMOSでオペアンプのCMOSが形成され、LDMOSでトランジスタQ1~Q6が形成される。

【0096】本実施形態2の高周波電力増幅装置は、上記実施形態1の高周波電力増幅装置が有する効果に加えて、面積縮小、電力効率向上の効果がある。

【0097】以上、本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。即ち、バイアス抵抗比を調整する構成としては、本実施形態では所定部分を電氣的接続体で接続する手法を採用したが、複数の配線部分をレーザトリミングして選択的に切断することによってバイアス抵抗比を調整する方法でもよい。また、実施形態ではデュアルバンド方式について説明したが、多モード通信方式や多バンド多モード通信方式にも同様に適用でき同様な効果を得ることができる。

【0098】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0099】(1) 各増幅系の初段増幅段と第2段増幅段を単一の半導体チップにモノリシックに形成すること、初段増幅段と第2段増幅段のバイアス回路を構成するバイアス抵抗の一部を半導体チップにモノリシックに形成することによって部品点数の低減を図ることができる。

【0100】(2) 上記(1)により、部品点数の低減から高周波電力増幅装置の小型化及び製造コストの低減を図ることができる。

【0101】(3) 半導体チップの表面に配置される初段増幅段と第2段増幅段の端子の配置を特定化することによって、ワイヤ間の相互誘導作用による利得の低下やアイソレーションの低下を防止することができる。

【0102】(4) 半導体チップの表面に設けられている第2段増幅段の制御端子に接続される入力用のワイヤと、第2段増幅段の第1の端子に接続される出力用のワイヤは、相互に交差または直交する方向に延在していることから、クロストークを抑えることができる。

【0103】(5) トランジスタの閾値電圧 $V_{th}$ 別にボンディングプログラムを設定しておき、この設定プログラムに基づいて所定バイアス抵抗間を接続することによって、所定のバイアス抵抗比を得ることができる。この結果、半導体チップにオンチップで形成された導体層によるバイアス抵抗の抵抗値精度は5%以内に形成できる。従って、各トランジスタに対して最適なバイアス電位の設定が可能になり、トランジスタの動作点が安定し、特性が向上する。

【0104】(6) 上記(1)～(5)に記載する効果を有する高周波電力増幅装置を組み込んだ無線通信機は、高性能な多バンド通信が可能になるとともに、安価で小型化なものとなる。

【図面の簡単な説明】

【図1】本発明の一実施形態（実施形態1）である高周波電力増幅装置において、トランジスタの閾値電圧 $V_{th}$ に対応してバイアス抵抗比を調整する方法を示す模式図である。

【図2】上記バイアス抵抗比の調整が完了した半導体チップの一部を示す模式的断面図である。

【図3】本実施形態1の高周波電力増幅装置の平面図である。

【図4】本実施形態1の高周波電力増幅装置の側面図である。

【図5】本実施形態1の高周波電力増幅装置の正面図である。

【図6】本実施形態1の高周波電力増幅装置の底面の電極パターンを透視的に示す模式的平面図である。

【図7】本実施形態1の高周波電力増幅装置の等価回路図である。

【図8】本実施形態1の高周波電力増幅装置の製造の一部を示すフローチャートである。

【図9】本実施形態1の高周波電力増幅装置に組み込まれる半導体チップの模式的平面図である。

【図10】トランジスタの電流－電圧特性を示すグラフである。

【図11】本実施形態1の高周波電力増幅装置において組み込んだトランジスタのバイアス抵抗比調整用のボールボンディング形態の選択表である。

【図12】上記バイアス抵抗比の調整が完了した半導体チップの模式的平面図である。

【図13】本実施形態1の高周波電力増幅装置に組み込んだ半導体チップの電極とワイヤボンディングパッドとの間のワイヤの張り状態を示す平面図である。

【図14】本実施形態1の高周波電力増幅装置に組み込んだ半導体チップの電極とワイヤボンディングパッドとの間のワイヤの張り状態、及び他のワイヤの張り状態を示す平面図である。

【図15】本実施形態1の高周波電力増幅装置を組み込んだ無線通信機の機能構成を示す一部のブロック図である。

【図16】本実施形態1の高周波電力増幅装置に組み込まれるHBTの断面図である。

【図17】本実施形態1の高周波電力増幅装置に組み込まれるHBTの他の面での断面図である。

【図18】本実施形態1の高周波電力増幅装置に組み込まれるSi-Ge FETの断面図である。

【図19】本発明の他の実施形態（実施形態2）である高周波電力増幅装置の等価回路図である。

【図20】本実施形態2におけるオペアンプによるバイアス抵抗制御を説明するための回路図である。

【図21】本実施形態2の高周波電力増幅装置に組み込まれる半導体チップの模式的断面図である。

【図22】本実施形態2の高周波電力増幅装置に組み込まれる半導体チップの製造における一部のプロセスを示すフローチャートである。

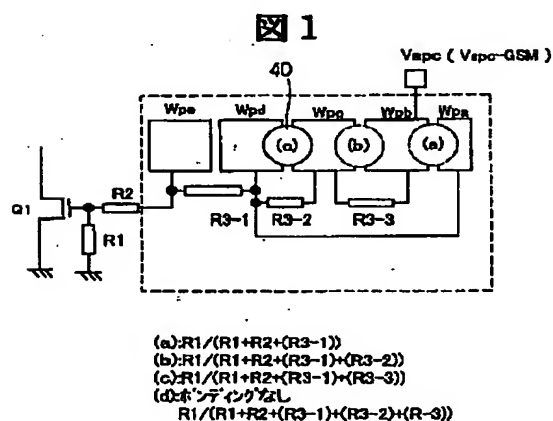
【図23】従来の高周波電力増幅装置の等価回路図である。

【符号の説明】

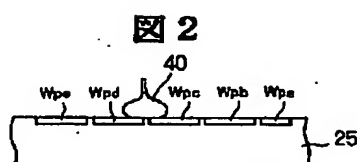
20…高周波電力増幅装置、20a、20b…PA（パワーアンプ）、21…モジュール基板、22…キャップ、23…パッケージ、25…半導体チップ、40…電気的接続体、41…ワイヤ、42…ワイヤボンディングパッド、50…高周波信号処理IC、51…アンテナ、52…アンテナ送受信切替器、53…APC回路、54a、54b…カプラー、55…デュプレクサー、56a、56b…送信受信切替スイッチ、57a、57b、

60a、60b…フィルター、61a、61b…低雑音アンプ（LNA）、65…半絶縁性GaAs基板、66…n<sup>+</sup>型GaAsサブコレクタ層、67…n型GaAsコレクタ層、68…p<sup>+</sup>型GaAsベース層、69…n型InGaPエミッタ層、70…n<sup>+</sup>型GaAsキャップ層、71…ベース電極、72…絶縁膜、73…エミッタ電極、74…配線金属、75…コレクタ電極、76…アイソレーション溝、77…金属層、78…穴、79…導通用配線、80…電極、81…抵抗体、85…バイアス制御回路、86…p<sup>+</sup>型シリコン基板、87…エピタキシャル層、88…アイソレーション領域、89…LOCOS膜、90…抵抗層、92…ゲート絶縁膜、93…ゲート電極、94…層間絶縁膜、95…配線。

【図1】



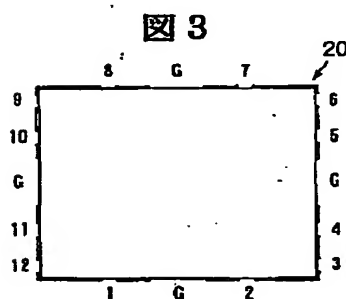
【図2】



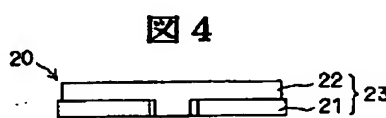
【図5】



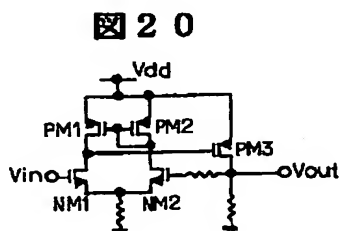
【図3】



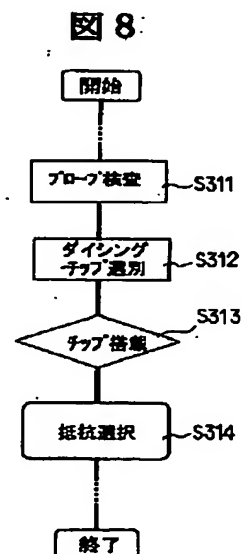
【図4】



【図20】

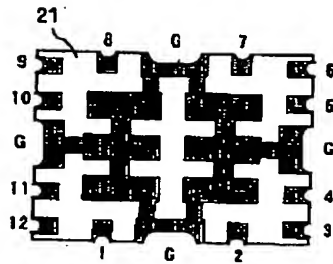


【図8】



【図6】

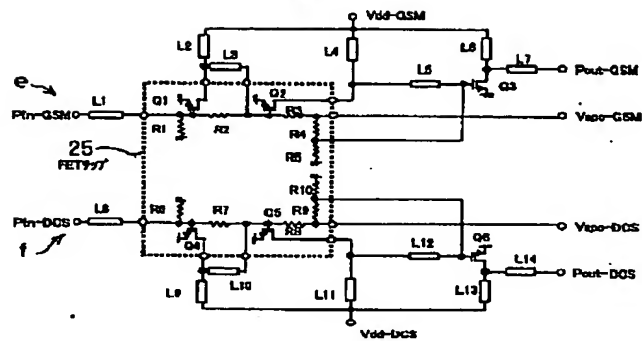
図6



1 : N/C  
 2 : N/C  
 3 : Pout-DCS  
 4 : Vdd-DCS  
 5 : Vdd-GSM  
 6 : Pout-GSM  
 7 : N/C  
 8 : N/C  
 9 : Pin-GSM  
 10 : Vapo-GSM  
 11 : Vapo-DCS  
 12 : Pin-DCS  
 G : GND

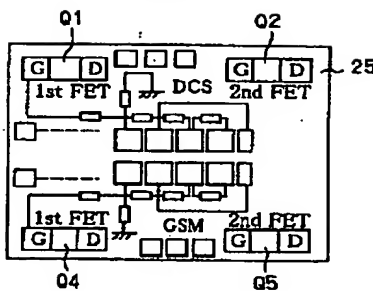
【図7】

図7



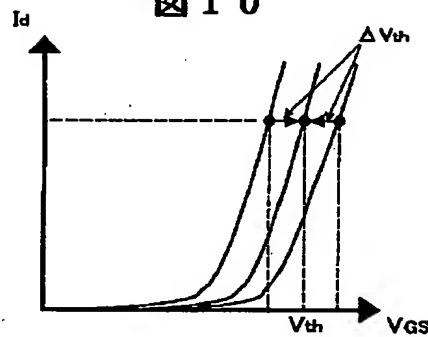
【図9】

図9



【図10】

図10



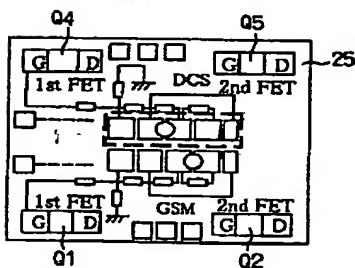
【図11】

図11

Vth	ホールホッピング位置
(1)~(2)	(a)
(3)~(4)	(b)
(5)~(6)	(c)
(7)~(8)	(d)

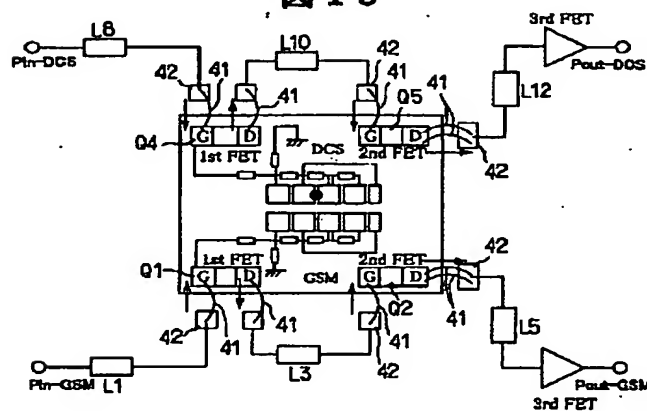
【図12】

図12



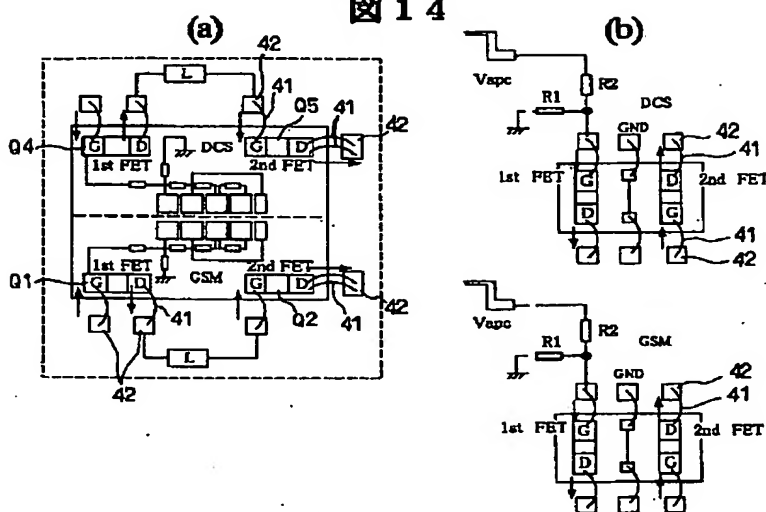
【図13】

図13



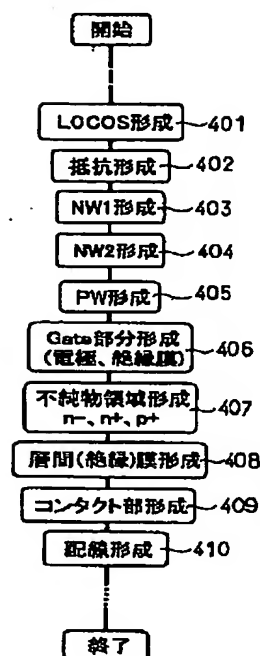
【図14】

図14



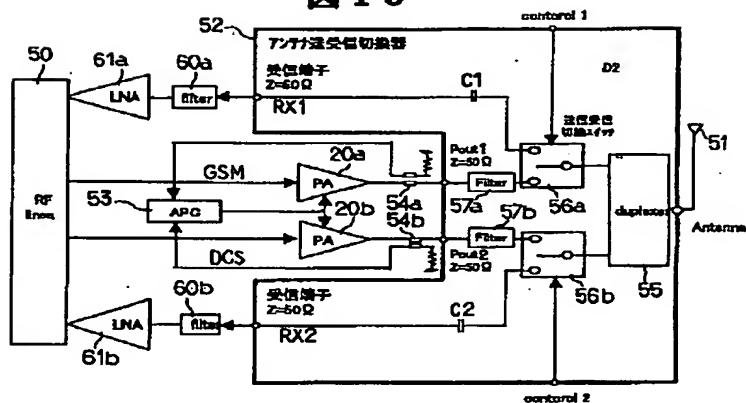
【図22】

図22



【図15】

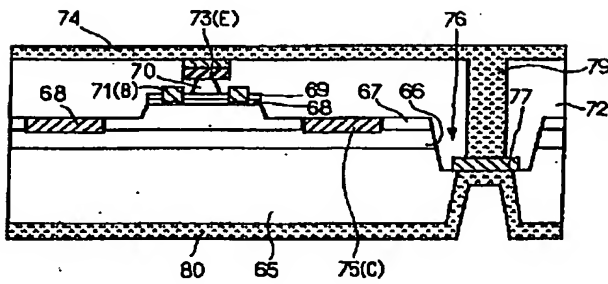
図15





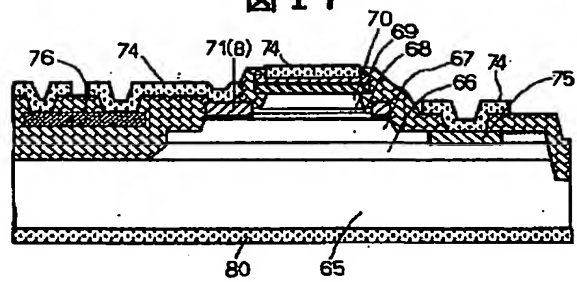
【图 16】

**图 16**



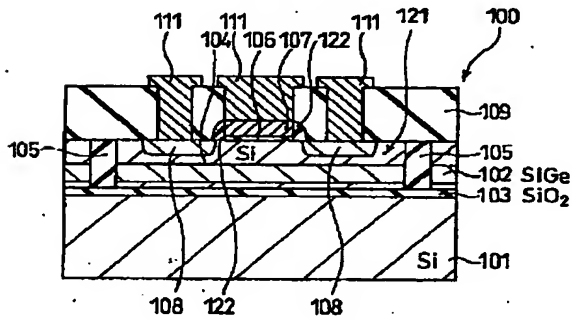
【图 17】

图 17



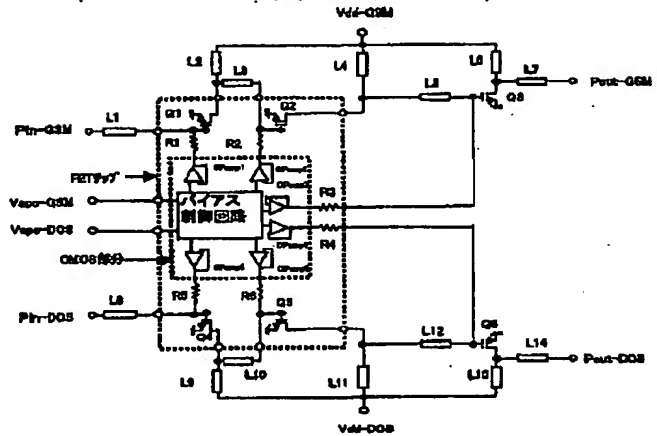
【图 18】

图 1-8



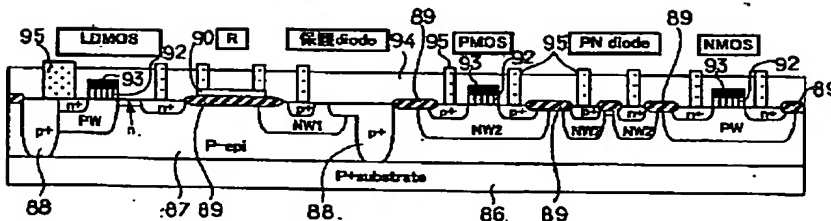
【图 19】

图 19



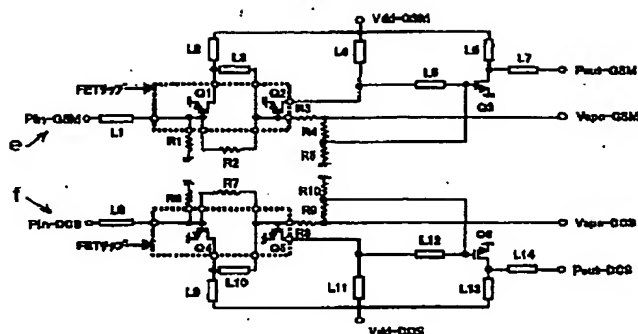
【図 2 1】

图 2 1



【図23】

図23



フロントページの続き

(51)Int.Cl.	識別記号	FI	テームト*(参考)
H 0 4 B 1/03 1/04		H 0 1 L 27/04	V A
(72)発明者 安達 徹朗 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内	25	Fターム(参考)	5F038 AR00 AV01 BE07 BG09 DF02 DF11 EZ20
(72)発明者 佐藤 孝広 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内			5J069 AA01 AA41 CA52 CA87 CA92 CA98 FA10 FA16 HA06 HA10 HA11 HA12 HA19 HA24 HA25 HA29 HA33 HA38 KA01 KA09
(72)発明者 丸山 昌志 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内	30		KA12 KA41 KA68 MA02 MA11 QA02 QA03 SA14 TA01 TA02 TA07
(72)発明者 高田 進 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内	35		5J091 AA01 AA41 CA52 CA87 CA92 CA98 FA10 FA16 HA06 HA10 HA11 HA12 HA19 HA24 HA25 HA29 HA33 HA38 KA01 KA09 KA12 KA41 KA68 MA02 MA11 QA02 QA03 SA14 TA01 TA02 TA07
	40		5K060 CC04 DD04 HH06 LL01